



p. o. Zastępcy Prezesa
Aneta Burghardt

Wykonawcy

Nasz znak:

Data:

ZP.154.DPiZP.2610.13.2023.IH

28.08.2023 r.

Sprawa: postępowanie o udzielenie zamówienia publicznego prowadzonego w trybie przetargu nieograniczonego na „Zakup serwerów komputerowych z oprogramowaniem do zarządzania oraz z serwisem gwarancyjnym przez okres 36 miesięcy”

- I. Działając na podstawie art. 135 ust. 1 i 2 ustawy z dnia 11 września 2019 r. - Prawo zamówień publicznych (Dz. U. z 2023r. poz. 1605 t.j.; dalej: „ustawa”) Agencja Restrukturyzacji i Modernizacji Rolnictwa z siedzibą w Warszawie przy al. Jana Pawła II nr 70, zwana w dalszej treści pisma „Zamawiającym”, udziela odpowiedzi na pytania zgłoszone w przedmiotowym postępowaniu.

Pytanie nr 1

Szanowni Państwo, w dokumencie SWZ_serwery.pdf stanowiącym załącznik do postępowania DPiZP.2610.13.2023 Zakup serwerów komputerowych z oprogramowaniem do zarządzania oraz z serwisem gwarancyjnym przez okres 36 miesięcy W tabeli nr 1 opisującym parametry techniczne Serwer DC - typ A – 36 szt. oraz w tabeli nr 2 Parametry techniczne oferowanych serwerów komputerowych: Serwer ROBO – 34 sztuki. oraz w tabeli nr 3 Parametry techniczne oferowanych serwerów komputerowych: serwer DC – typ B – 4 szt.

W punkcie procesor Zamawiający wymaga, aby procesor obsługiwał zestawy instrukcji AVX-512/AVX2/ Vector Neutral Network Instruction (VNNI). Pragniemy zaznaczyć, iż wymagania obsługi instrukcji AVX-512 oraz VNNI w połączeniu z wymaganiem dostarczenia pamięci RAM w technologii DDR4 jednoznacznie wskazuje na rozwiązania serwerowe bazujące na procesorach Intel co jest ograniczeniem konkurencji. Jednocześnie zwracamy uwagę, iż instrukcje AVX-512 oraz VNNI są instrukcjami niezwykle specyficznymi oraz wykorzystywanymi głównie w obliczeniach klastrowych super-komputerów. Jednocześnie Zamawiający opisując wymagania co do wydajności obliczeniowej procesorów postuluje się testem SpeCrate2017_int co nie wskazuje na stosowanie obliczeń wykorzystujących w/w instrukcje. W związku z powyższym zwracamy się z prośbą o wykreślenie wymagania obsługi zestawów instrukcji AVX-512 oraz Vector Neutral Network Instruction (VNNI).

Odpowiedź:

Zamawiający nie zmienia zapisów specyfikacji istotnych warunków zamówienia (dalej: „SWZ”)

Pytanie nr 2

Dodatkowo w punkcie 6.. W tabeli nr 1 opisującym parametry techniczne Serwer DC - typ A – 36 szt. Zabezpieczenie Pamięci RAM Zamawiający opisał wymagania zabezpieczenia pamięci RAM poprzez mechanizmy „Advanced ECC, Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing” Powyższy zapis jest ograniczeniem konkurencyjności, ponieważ pozwala na zaoferowanie tylko i wyłącznie serwerów bazujących na procesorach od firmy intel jednocześnie uniemożliwiając Zamawiającemu otrzymanie ofert o równych lub lepszych parametrach bazujących na wiodącym producencie procesorów AMD. Jednocześnie chcieliśmy zwrócić uwagę, że zabezpieczenie pamięci operacyjnej realizowane przez funkcjonalności, Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing (specyficzne dla procesorów intel), może być w sposób równie lub nawet bardziej efektywnie realizowane przez mechanizmy Advanced Memory Device Correction natywnie dostępne na platformach serwerach bazujących na procesorach AMD. Ponad to Mechanizm Memory Mirror jest niezwykle rzadko wykorzystywanym, ponieważ jego użycie powoduje zablokowanie połowy pamięci operacyjnej na potrzeby spare przez co efektywnym wykorzystywane jest tylko połowa dostępnej pamięci RAM to znacząco podraża wartość całego serwera oraz koszty utrzymania infrastruktury. Advanced Memory Device Correction pozwala na korygowanie dowolnej liczby błędów, które występują w pojedynczym chipie DRAM bez konieczności dublowania pamięci w serwerze. W związku z powyższym, zwracamy się z prośbą o modyfikację niniejszego punktu poprzez wykreślenie wymagania „Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing” oraz wprowadzenie równoważności pozostałych wymagań przez zaoferowanie serwera oferującego zabezpieczenie pamięci RAM serwera dzięki mechanizmom RAS (Memory Reliability, Availability, and Serviceability) realizowanym przez Advanced Memory Device Correction.”

Odpowiedź:

Zamawiający w odpowiedzi na pytanie, działając na podstawie art. 137 ust. 1 ustawy, wprowadza następujące zmiany w treści SWZ:

ZMIANA NR 1:

Załącznik nr 1 do SWZ, Formularz Ofertowy, pkt I. Wymagania MINIMALNE, **Tabela nr 1- Parametry techniczne oferowanych serwerów komputerowych: Serwer DC – typ A - 36 szt.**, L.p. 6 , kol. [a],[b],[c] zapis o treści:

6.	Zabezpieczenie pamięci	<p>a. ECC, Memory Mirroring, SDDC, Adaptive Double Device Data Correction (ADDDC),</p> <p>b. Z związku z różnym nazewnictwem Zamawiający akceptuje również równoważne: Advanced ECC, Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing do tych opisanych w lit. a.</p>
----	------------------------	--

przyjmuje brzmienie:

6.	Zabezpieczenie pamięci	<p>a. <i>ECC, Memory Mirroring, SDDC, Adaptive Double Device Data Correction (ADDDC),</i></p> <p>b. <i>W związku z różnym nazewnictwem Zamawiający akceptuje również równoważne: Advanced ECC, Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing oraz mechanizmy RAS realizowane poprzez Advanced Memory Device Correction do tych opisanych w lit. a.</i></p>
----	------------------------	--

ZMIANA NR 2

Załącznik nr 1 do projektowanych postanowień umowy (dalej: „ppu”) stanowiących Załącznik nr 7 do SWZ, **Tabela nr 1 - Serwer DC – typ A - 36 szt.**, L.p. 6 , kol. [a],[b],[c] zapis o treści:

6.	Zabezpieczenie pamięci	<p>a. ECC, Memory Mirroring, SDDC, Adaptive Double Device Data Correction (ADDDC),</p> <p>b. Z związku z różnym nazewnictwem Zamawiający akceptuje również równoważne: Advanced ECC, Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing do tych opisanych w lit. a.</p>
----	------------------------	--

przyjmuje brzmienie:

6.	Zabezpieczenie pamięci	<p>a. <i>ECC, Memory Mirroring, SDDC, Adaptive Double Device Data Correction (ADDDC),</i></p> <p>b. <i>W związku z różnym nazewnictwem Zamawiający akceptuje również równoważne: Advanced ECC, Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing oraz mechanizmy RAS realizowane poprzez Advanced Memory Device Correction do tych opisanych w lit. a.</i></p>
----	------------------------	--

Pytanie nr 3

Dodatkowo w punkcie 6.. w tabeli nr 2 Parametry techniczne oferowanych serwerów komputerowych: Serwer ROBO – 34 sztuki oraz w tabeli nr 3 Parametry techniczne oferowanych serwerów komputerowych: serwer DC – typ B – 4 szt. Zabezpieczenie Pamięci RAM Zamawiający opisał wymagania zabezpieczenia pamięci RAM poprzez mechanizmy „a. ECC, Memory Mirroring, SDDC, Adaptive Double Data Correction (ADDDC), b. w związku z różnym nazewnictwem Zamawiający akceptuje również równoważne: Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing” Powyższy zapis jest ograniczeniem konkurencyjności, ponieważ pozwala na zaoferowania tylko i wyłącznie serwerów bazujących na procesorach od firmy intel jednocześnie uniemożliwiając Zamawiającemu otrzymanie ofert o równych lub lepszych parametrach bazujących na wiodącym producencie procesorów AMD Jednocześnie chcieliśmy zwrócić uwagę, że zabezpieczenie pamięci operacyjnej realizowane przez funkcjonalności , Memory Mirroring, SDDC, Adaptive Double Data Correction (ADDDC), Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing (specyficzne dla procesorów intel), może być w sposób równie lub nawet bardziej efektywnie realizowane przez mechanizmy Advanced Memory Device Correction natywnie dostępne na platformach serwerach bazujących na procesorach AMD. Ponad to Mechanizm Memory Mirror jest niezwykle rzadko wykorzystywanym, ponieważ jego użycie powoduje

zablokowanie połowy pamięci operacyjnej na potrzeby spare przez co efektywnym wykorzystywane jest tylko połowa dostępnej pamięci RAM to znacząco podraża wartość całego serwera oraz koszty utrzymania infrastruktury. Advanced Memory Device Correction pozwala na korygowanie dowolnej liczby błędów, które występują w pojedynczym chipie DRAM bez konieczności dublowania pamięci w serwerze. W związku z powyższym, zwracamy się z prośbą o modyfikację niniejszego punktu poprzez wykreślenie wymagania „Memory Mirroring, SDDC, Adaptive Double Data Correction (ADDDC), Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing” oraz wprowadzenie równoważności pozostałych wymagań przez zaofiarowanie serwera oferującego zabezpieczenie pamięci RAM serwera dzięki mechanizmom RAS (Memory Reliability, Availability, and Serviceability) realizowanym przez Advanced Memory Device Correction.”

Odpowiedź:

Zamawiający w odpowiedzi na pytanie, działając na podstawie art. 137 ust. 1 ustawy, wprowadza następujące zmiany w treści SWZ:

ZMIANA NR 3:

Załącznik nr 1 do SWZ, Formularz Ofertowy, pkt I. Wymagania MINIMALNE, **Tabela nr 2 - Parametry techniczne oferowanych serwerów komputerowych: Serwer ROBO - 34 szt.**, L.p. 6 , kol. [a],[b],[c] zapis o treści:

6.	Zabezpieczenie pamięci	<ul style="list-style-type: none"> a. ECC, Memory Mirroring, SDDC, Adaptive Double Device Data Correction (ADDDC), b. Z związku z różnym nazewnictwem Zamawiający akceptuje również równoważne: Advanced ECC, Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing do tych opisanym w lit. a.
----	------------------------	--

przyjmuje brzmienie:

6.	Zabezpieczenie pamięci	<ul style="list-style-type: none"> a. <i>ECC, Memory Mirroring, SDDC, Adaptive Double Device Data Correction (ADDDC),</i> b. <i>W</i> związku z różnym nazewnictwem Zamawiający akceptuje również równoważne: <i>Advanced ECC, Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing</i> oraz mechanizmy RAS realizowane poprzez Advanced Memory Device Correction do tych opisanych w lit. a.
----	------------------------	--

ZMIANA NR 4

Załącznik nr 1 do projektowanych postanowień umowy (dalej: „ppu”) stanowiących Załącznik nr 7 do SWZ, **Tabela nr 2 - Serwer ROBO - 34 szt.**, L.p. 6 , kol. [a],[b],[c] zapis o treści:

6.	Zabezpieczenie pamięci	<ul style="list-style-type: none"> a. ECC, Memory Mirroring, SDDC, Adaptive Double Device Data Correction (ADDDC), b. Z związku z różnym nazewnictwem Zamawiający akceptuje również równoważne: Advanced ECC, Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing do tych opisanym w lit. a.
----	------------------------	--

przyjmuje brzmienie:

6.	Zabezpieczenie pamięci	<ul style="list-style-type: none"> a. <i>ECC, Memory Mirroring, SDDC, Adaptive Double Device Data Correction (ADDDC),</i> b. <i>W</i> związku z różnym nazewnictwem Zamawiający akceptuje również równoważne: <i>Advanced ECC, Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing</i> oraz mechanizmy RAS realizowane poprzez Advanced Memory Device Correction do tych opisanych w lit. a.
----	------------------------	--

ZMIANA NR 5:

Załącznik nr 1 do SWZ, Formularz Ofertowy, pkt I. Wymagania MINIMALNE, **Tabela nr 3 - Parametry techniczne oferowanych serwerów komputerowych: Serwer DC – typ B - 4 szt.**, L.p. 6 , kol. [a],[b],[c] zapis o treści:

6.	Zabezpieczenie pamięci	<p>a. ECC, Memory Mirroring, SDDC, Adaptive Double Device Data Correction (ADDDC),</p> <p>b. Z związku z różnym nazewnictwem Zamawiający akceptuje również równoważne: Advanced ECC, Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing do tych opisanych w lit. a.</p>
----	------------------------	--

przyjmuje brzmienie:

6.	Zabezpieczenie pamięci	<p>a. <i>ECC, Memory Mirroring, SDDC, Adaptive Double Device Data Correction (ADDDC),</i></p> <p>b. W związku z różnym nazewnictwem Zamawiający akceptuje również równoważne: <i>Advanced ECC, Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing</i> oraz mechanizmy RAS realizowane poprzez Advanced Memory Device Correction do tych opisanych w lit. a.</p>
----	------------------------	--

ZMIANA NR 6

Załącznik nr 1 do projektowanych postanowień umowy (dalej: „ppu”) stanowiących Załącznik nr 7 do SWZ, Tabela nr 3 - Serwer DC – typ B - 4 szt., L.p. 6 , kol. [a],[b],[c] zapis o treści:

6.	Zabezpieczenie pamięci	<p>a. ECC, Memory Mirroring, SDDC, Adaptive Double Device Data Correction (ADDDC),</p> <p>b. Z związku z różnym nazewnictwem Zamawiający akceptuje również równoważne: Advanced ECC, Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing do tych opisanych w lit. a.</p>
----	------------------------	--

przyjmuje brzmienie:

6.	Zabezpieczenie pamięci	<p>a. <i>ECC, Memory Mirroring, SDDC, Adaptive Double Device Data Correction (ADDDC),</i></p> <p>b. W związku z różnym nazewnictwem Zamawiający akceptuje również równoważne: <i>Advanced ECC, Memory Page Retire, Fault Resilient Memory, Memory Self-Healing lub PPR, Partial Cache Line Sparing</i> oraz mechanizmy RAS realizowane poprzez Advanced Memory Device Correction do tych opisanych w lit. a.</p>
----	------------------------	--

Pytanie nr 4

W celu ułatwienia Wykonawcom przygotowania oferty proszę o udostępnienie edytowalnej wersji SWZ wraz z załącznikami, gdyż załączona dokumentacja jest nieprzeszukiwalnym obrazem, co znacznie utrudnia chociażby wyszukiwanie informacji oraz analizę dokumentu.

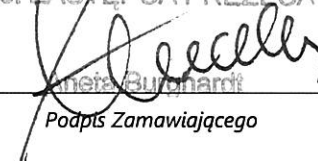
Odpowiedź

Zamawiający informuje, że zamieszcza na Platformie Zakupowej pierwotną wersję SWZ z Załącznikami nr 1-7 w wersji [pdf] umożliwiającą przeszukiwanie oraz kopiowanie treści, która nie zawiera zmian wprowadzonych niniejszym pismem (Zmiany NR 1 – NR 6)

Jednocześnie Zamawiający informuje, że zamieszcza na Platformie Zakupowej materiał pomocniczy zawierający uaktualniony Formularz Ofertowy stanowiący Załączniki nr 1 do SWZ w wersji edytowalnej [word], zgodnie z przedstawionymi powyżej Zmianami NR 1 - NR 6.

II. Zamawiający informuje, że dokonane zmiany SWZ są wiążące dla Wykonawców.

p.o. ZASTĘPCA PREZESA


Aneta Gurbhardt
Podpis Zamawiającego